

就業遠景教材 -- IC 半導體

蘇芻穎

目前最熱門的行業之一莫過於半導體業，也就是 IC 設計，晶圓代工，與電子設計自動化(EDA)軟體之間所形成的生態圈。由於整個生產流程非常的複雜，當製程演進至四十五奈米大小時，所有的動作都必須高度仰賴電腦自動化，包括電路的設計，模擬與分析，晶圓廠從參數模型建立到晶圓製造的沉積，蝕刻，磨光，以及 EDA 廠根據新晶圓製程參數及新 IC 設計功能需求作出更快更準的輔助軟體。這些自動化可分為兩類，一為數學邏輯概念相關，二是數學方程式相關。換言之，數學雖然不是和我們接觸的電子產品有直接的關係，但工程師們卻是用電機的语言來表達數學的想法與方法，並用來解決困難及完成生產流程。

在詳細闡述數學和半導體關係之前，先簡單介紹和筆者工作相關的 IC 設計流程：步驟(1)利用程式語言將設計規格轉成電路架構(schematic)。步驟(2)利用此電路架構和晶圓廠提供的元件模型來模擬測試結果是否在規格範圍內。步驟(3)依據此電路架構，將實際的電路圖用電子設計軟體畫出來。步驟(4)根據晶圓廠提供的資料，對此電路圖進行檢測與物理參數萃取。步驟(5)利用電路架構與萃取出物理參數再次進行模擬測試。若符合規格即完成設計。筆者講以自己對這些流程相關的程度作不同深淺的描述。

首先在步驟(1)的部分是程式的撰寫，有好的邏輯概念當然會讓程式簡潔有力，但是要寫什麼內容，寫出什麼結果，如何進行程式的除錯都需要相當多的電子電路設計概念。數學系的專才在此並不會有太大的優勢。這主要是電機系的工作。

接下來是步驟(2)模擬測試。如何去使用模擬軟體是電機系的工作，但是寫出一套模擬軟體需要相當的數學背景。目前全球前三大 EDA 公司都希望推出自己的 IC 設計流程，其中的模擬分析軟體，有益華(Cadence)的 Spectre，新思

(Synopsys)的 HSPICE, 以及明導(Mentor)的 Eldo. 它們的功能主要在解決線性代數問題. 由於此時的設計尙未有實際的電路圖, 只有電路架構中的每個節點的元件模型. 利用簡單的電路公式與概念即可把節點之間的關係化成矩陣, 而其中未知參數的求解就是要靠線性代數和數值分析等相關科目. 在實際情況中, 矩陣可能有數萬甚至更多的未知參數, 求解過程需要大量記憶體以及數天的時間, 如何得到有效, 快速又正確的結果便是數學係很好的著力點.

在步驟(3)電路圖方面, 代數的概念便在電路的配置過程中被使用. 在整個晶片設計圖(layout)中, 電晶體(transistor)是最基本的單元, 有一些限定的幾何形狀條件, 電晶體間靠著繞線連接在一起組成各種不同特性的細胞(cell), 細胞之間也是靠著繞線組成不同功能的區塊(block), 最後不同的區塊再構成完整的設計圖. 如何能夠有效的繞線與配置也是有專門的學問, 三度空間的繞線之間不能互相交錯, 配置也要兼顧到最基本的節省面積. 三大 EDA 公司也都網羅人才來發展有自己的繞線配置軟體以減少 IC 設計者的負擔.

完成電路圖後, 就是步驟(4)檢測. 由於每一家晶圓代工廠的技術能力差異, 能夠做到的精密程度也不相同, 爲了達到好的良率, 晶圓廠便有許多的限制條件以降低晶片在製造的過程中失敗, 例如電晶體的長度及間距要大於某些特定值, 特殊元件附近必須淨空多少範圍等等. 原本的化學物理特性及限制在定義成數千條的設計規則(Design rule)後, 需要的是清楚的邏輯架構把他們變成程式語言, 電機的背景知識反退而其次, 而這些程式經由 EDA 軟體判讀, 然後對整個晶片設計圖進行檢測. 除此外也需要另一種用途的程式語言與軟體來對先前的電路架構與設計圖進行比對. 這兩種程式語言的內容通常是晶圓廠提供標準版本, 在由 IC 設計者去修該出適用於他們自己的版本, 程式本身需要大量的邏輯運算(logic operation)來辨識出各種不同的幾何圖形的元件, 尤其是拓樸學當中提過的同胚, 同構等等概念被用來處理一些先進製程中的特殊法則與元件. 這個部分相當適合數學概念清楚又有程式能力的人來擔任. 而 EDA 公司的也需要同樣的人才來加快軟體引擎的處理速度與龐大資料量.

關於步驟(4)裡面提到的物理參數萃取，則是利用微分方程，數值方法，以及實際物理條件推導出來的邊界條件來算出電路圖中因為繞線與配置而產生的寄生參數(parasitic RC)，除了提到的數學方法，電磁學也相當的重要。在電機系三門重要科目：電磁學，電子學和電路學當中，電磁學是大家認為最難的一科，因為裡面用到大量的數學工具，如線性代數，微分方程，複變函數論等等。此外電磁學也對實際的物理現象以及數學理論之間的關係做了巨細靡遺的解釋。物理參數萃取的準確與速度在製程進入四十五奈米等級後變的格外的重要，因為他對整個晶片的影響程度已經大大的超過電晶體元件。整個萃取的過程都是由軟體來處理，也因此 EDA 廠商都在積極尋找適當的人才當中。更詳細的內容請參與筆者另一篇文章 ”數學的用途—微分方程”。

最後步驟(5)的模擬與步驟(2)是類似的，但是模擬環境多了由步驟(4)萃取出來的物理參數，因此整個過程需要的矩陣及計算量也更為龐大。如果此時發現結果不符合原始規格的範圍，則須在從步驟(3)開始修改設計圖到完成模擬測試為止。然後就可以把設計圖送到晶圓廠進行測試晶片的生產。這又是另一需要清晰邏輯概念的自動化過程。

除了傳統的 IC 設計流程外，晶圓廠也嘗試依據生產參數推出不同的設計套件來協助 IC 設計者更清楚生產過程，像是 VCMP (Virtual-CMP) 以及 SSTA (Statistical timing analysis)。由於晶圓的生產過程是一層層的沉積蝕刻而成，因此每一層金屬都必須磨光(CMP)以減少下一層的誤差。磨光的過程會導致金屬的厚度改變，傳統的模型是依據大量的實驗數據用數值分析中的方法逼近，找到近似的公式。這些公式可以讓 IC 設計者快速的估算他們的設計在實際生產後的小區域情況，但這樣的模型卻無法預知大範圍的金屬厚度變化。VCMP 便是與傳統模型互補的新方法。工程師利用實驗數據以及 CMP 的演算方程式直接模擬整個晶圓的大範圍厚度，在藉由影像處理的概念，快速的找到 VCMP 與傳統模型結果差異較大的區塊重新修正設計圖，減少模擬和實際間的差異。

另外，在磨光的過程中，不同的晶圓也會造成不同的結果，因此晶圓廠也利

用統計的方法，從實驗數據中找出結果的各種極大或是極小值，也就是 Corner 模型。然而目前的做法是將所有的極大值或極小值收集成一個 Corner 模型，在實際晶圓中多達十層金屬的組合幾乎不可能出現同時極大或同時極小的狀況，這些變化又影響了先前文章中提到的物理參數萃取，因此工程師們嘗試著在解微方程的同時加入統計的想法，也就是微分方程解的適用範圍在 -3σ 至 $+3\sigma$ 的。這樣 IC 設計者就可以根據設計中的特殊規格來調整每一層金屬的參數，並得到更合理的模擬結果。這一個新的構想將使過去需要兩週才能跑完的一個設計模擬流程縮短至數天。由於這是相當創新的做法，各大晶圓廠也都投入大量的資源來開發新應用與搶先商機。統計與工程的結合也非常適合數學系的人才發揮所長。

接著談談筆者自己在晶圓廠工作的經驗。台灣積體電路有限公司(簡稱台積電)再經過二十年的發展，目前已經是世界第一大晶圓代工廠，工作的內容已不是單純的代工，而是提供 IC 設計者更方便的發展流程。四十五奈米製程的生產程序以及設計過程需要注意的事項多到無法數盡，已經遠遠超出 IC 設計者能夠掌握的範圍。因此台積電推出各種的設計流程與套件來減輕設計者的負擔。這些輔助工具是根據設計者的需求，製程的特殊參數，還有 EDA 軟體的特性製作出來，也因此除了台積電本身就有不少國內外頂尖人才，還要經常與 IC 設計廠與 EDA 廠的專家討論溝通，這些人有 MIT, 史丹佛等一流名校的博士學位甚至是大學教授，也分散在美國，英國，以色列，法國等世界各地，要與這些人討論除了要有專業的知識外，更重要的是有清楚的邏輯概念及正確的判斷。在這樣一個以電機領域為主，高手如雲，變化衝擊迅速的環境中，面對突發的狀況與艱難的問題時，數學系紮實的思考訓練讓筆者能夠快速了解狀況並想出解決方案。

對工程而言，數學是非常重要的工具以及訓練過程，如果能夠去旁聽或是選修電機系的重點課程，對將來的應用與發展一定大有幫助。但一定要先了解自己在數學領域的專長再去選擇外系所對應的課程，這樣才能以己之長攻人知短，真正發揮數學的威力。在學術研究上，數學可以用來解決深入的應用問題，在產業工作上，邏輯思考可以幫忙處理廣泛又複雜的流程問題。隨時保有一個開放，積

極的心態，這樣一定能夠有很好的發展。

作者簡介

蘇芻穎畢業於大學部 85 級，最高學歷為交通大學電信工程博士。目前任職於台灣積體電路製造股份有限公司，設計與技術平台發展處。工作的性質是根據晶圓製程，利用 EDA 軟體產生資料庫，提供 IC 設計者必要的檔案與資訊。工作的價值在於與全球頂尖學府畢業的碩博士人才一起解決先進 IC 在設計，製程及軟體上的困難。